

106年公務、關務人員升官等考試、106年交通
事業鐵路、公路、港務人員升資考試試題

代號：16140

全一頁

等 級：簡任

類科(別)：電子工程

科 目：積體電路技術研究

考試時間：2 小時

座號：_____

※注意：(一)禁止使用電子計算器。

(二)不必抄題，作答時請將試題題號及答案依照順序寫在試卷上，於本試題上作答者，不予計分。

(三)本科目除專門名詞或數理公式外，應使用本國文字作答。

- 一、(一)說明標準 CMOS 邏輯閘和 pseudo-nMOS 邏輯閘在矽面積 (Silicon Area)、功率消耗及雜訊邊限 (Noise Margin) 上之差異。(10 分)
- (二)比較 CMOS 邏輯閘和 nMOS 邏輯閘在所使用的電晶體數、功率消耗及雜訊邊限上之差異。(10 分)
- 二、(一)畫出 CMOS 反相器之電路圖。(5 分)
- (二)畫出 CMOS 反相器之轉移曲線並標示 pMOS 和 nMOS 電晶體之工作區。(10 分)
- (三)說明 CMOS 反相器如欲正常工作，其電源電壓之最低值應為何？(5 分)
- 三、請說明使用 CMOS n-well 製程技術，製造 CMOS 反相器之製造程序。(20 分)
- 四、請試述下列名詞之意涵：(每小題 5 分，共 20 分)
- (一)積體電路之可靠度 (Reliability)
- (二)電子遷移現象 (Electromigration)
- (三)基體效應 (Body Effect)
- (四)交談現象 (Crosstalk)
- 五、(一)何謂系統晶片 (SOC)？其和一般 System on Board (SOB) 之差異為何？(10 分)
- (二)何謂三維積體電路 (3D-IC)？其和一般二維之平面式積體電路之差異為何？(10 分)