

等別(級)：簡任

類科(別)：電子工程

科目：積體電路技術研究

考試時間：2 小時

座號：_____

※注意：(一)禁止使用電子計算器。

(二)不必抄題，作答時請將試題題號及答案依照順序寫在試卷上，於本試題上作答者，不予計分。

- 一、何謂 CMOS n-well 技術？試繪剖面圖 (cross-sectional view) 說明 NMOS 及 PMOS 的結構。同時將兩者均採操作於 Saturation Mode 之下畫出其通道形式。注意通道厚度、長度並標示出 Source 及 Drain 兩端點的位置。(20 分)
- 二、討論 N 型 Si 基板與金屬的 Heterojunction 接面，因為製程上有什麼差異，因此而會形成肖基二極體 (Schottky Barrier Diode) 或歐姆接觸 (Ohmic Contact) 兩種不同的元件行為。(20 分)
- 三、為了製程可靠度的要求，CMOS 製程可能在製作過程面臨 Antenna effects issue (天線效應) 問題，請簡要敘述該問題及其解決方法。(20 分)
- 四、請分別敘述半導體中兩種摻雜技術的特性及不同處。若要形成 MOS 元件的 Source /Drain 應採何者較合宜？(20 分)
- 五、矽晶體之晶格常數為 5.43 埃，請依此計算出矽晶體之體積密度，即一立方公分的矽晶體約有多少個矽原子？並說明矽晶體摻雜 Nd 及 Na 時，合理的濃度值範圍應為多少較合宜？(20 分)