

等 別：四等考試

類 科：電力工程

科 目：電子學概要

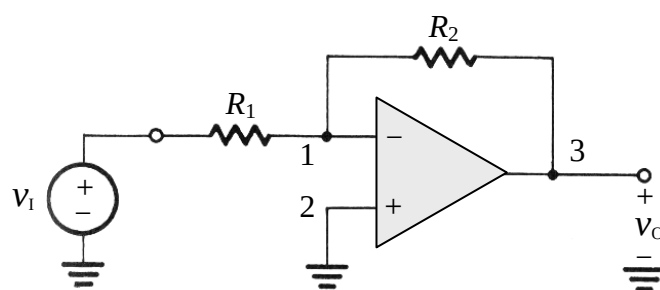
考試時間：1 小時 30 分

座號：_____

※注意：(一)禁止使用電子計算器。

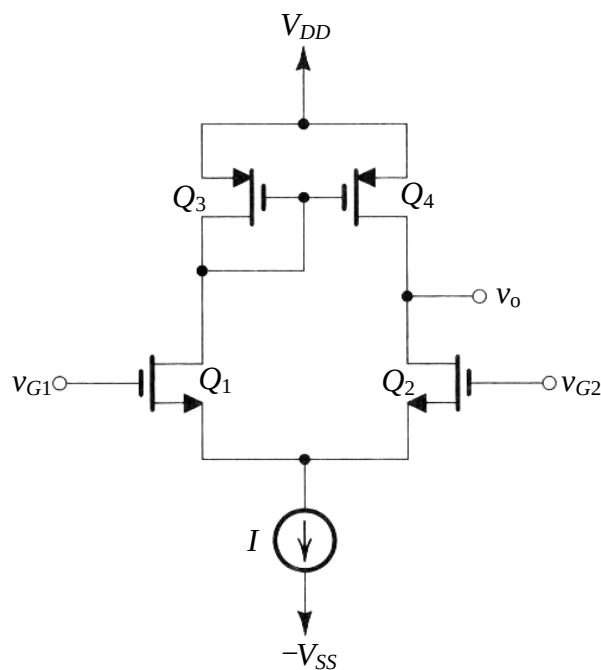
(二)不必抄題，作答時請將試題題號及答案依照順序寫在試卷上，於本試題上作答者，不予計分。

- 一、分析圖一之電路：(一)若使用理想之運算放大器，請計算電壓增益 v_o/v_i ；(10 分)
(二)若運算放大器之開路增益 (open-loop gain) A 並非無限大，且 $R_2=10\text{ k}\Omega$ 、 $R_1=1\text{ k}\Omega$ ，在需要將(一)求出之電壓增益誤差壓低到 1% 以內的條件下， A 的最小數值為何？(10 分)



圖一

- 二、圖二為一 MOS 差動放大器，差動輸入電壓施加於 Q_1 與 Q_2 之閘極，請推導其差動電壓增益。相關小訊號參數給定如下：各電晶體之轉導 (transconductance) 為 g_{m1} 、 g_{m2} 、 g_{m3} 、 g_{m4} ；各電晶體之輸出阻抗為 r_{o1} 、 r_{o2} 、 r_{o3} 、 r_{o4} ；電流源 I 之輸出阻抗為 R_{SS} 。其中， Q_1 與 Q_2 全等，意即， $g_{m1}=g_{m2}$ 、 $r_{o1}=r_{o2}$ ；而 Q_3 與 Q_4 亦全等。(20 分)



圖二

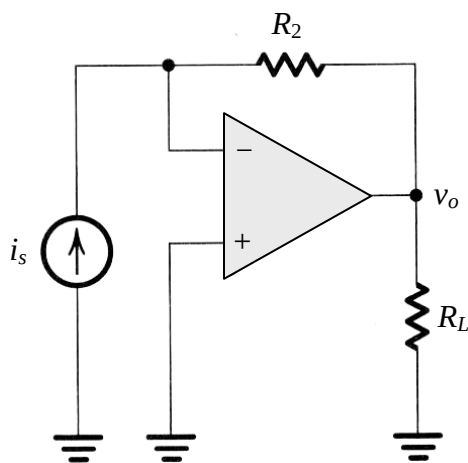
- 三、在純矽半導體中參雜 (doping) 適量的磷原子 (擁有 5 個價電子) 之後，請說明會形成 n 型 (n type) 或 p 型 (p type) 半導體？參雜前後自由電子與電洞的數目有何改變，亦請說明？(10 分)

(請接背面)

等 別：四等考試
類 科：電力工程
科 目：電子學概要

四、請說明二極體之匱乏區 (depletion region) 如何形成。在未施加任何偏壓之下，二極體的陽極 (anode) 與陰極 (cathode) 之電位孰高孰低？請務必說明原因。(10 分)

五、請說明圖三屬於何種回授組態 (feedback topology)。其中， i_s 為輸入訊號且使用理想之運算放大器，請計算回授因子 (feedback factor) β 與閉迴路增益 (closed-loop gain) A_f 。(20 分)



圖三

六、請以 CMOS 邏輯電路實現 $Y = \overline{A(B + CD)}$ 。(20 分)