

等 別：五等考試
類 科：電子工程
科 目：電子學大意
考試時間：1 小時

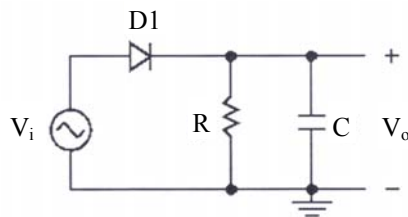
座號：_____

※注意：(一)本試題為單一選擇題，請選出一個正確或最適當的答案，複選作答者，該題不予計分。

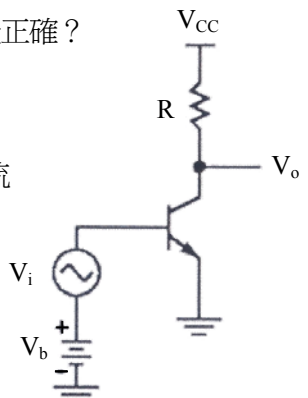
(二)本科目共 40 題，每題 2.5 分，須用 2B 鉛筆 在試卡上依題號清楚劃記，於本試題上作答者，不予計分。

(三)可以使用電子計算器。

- 在二極體的 I-V 關係式 $I_D = I_S(e^{V_D/V_T} - 1)$ 中， V_T 為：
 - (A) 爾利 (Early) 電壓
 - (B) 熱 (thermal) 電壓
 - (C) 臨界 (threshold) 電壓
 - (D) 偏移 (offset) 電壓
- 相較於開路 (open circuit) 的 pn 接面，逆偏下的 pn 接面：
 - (A) 空乏區寬度減少
 - (B) 擴散電流 (diffusion current) 增加
 - (C) 空乏區內的位能障礙增加
 - (D) 空乏區內的空間電荷減少
- 利用何種物理實驗效應可以判定出半導體是屬於正 (P) 型或負 (N) 型？
 - (A) 霍爾 (Hall) 效應
 - (B) 光電效應
 - (C) 黑體輻射效應
 - (D) 磁鐵磁性吸引效應
- 若 P-N 接面二極體之導通電壓為 0.7 V，且導通電阻值為 $0\ \Omega$ 。若 $V_i = 5\sin\omega t$ (V)，且電容之初始電壓為 0 V，假設不考慮電容內阻，下列敘述何者最正確？



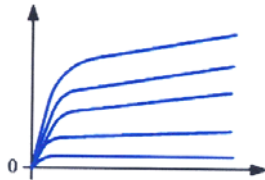
- (A) ω 越小， V_o 之峰值 (peak value) 不變，谷值 (bottom value) 變小
 - (B) 電容越小， V_o 之漣波 (ripple) 越小
 - (C) ω 越大，漣波越大
 - (D) 電阻越大， V_o 之漣波越大
- 雙極性接面電晶體 (BJT) 在主動區 (active region) 操作下，其偏壓方式為：
 - (A) B、E 間逆偏，C、B 間順偏
 - (B) B、E 間順偏，C、B 間逆偏
 - (C) B、E 間及 C、B 間均逆偏
 - (D) B、E 間及 C、B 間均順偏
 - 如圖所示放大器，若電晶體操作於順向主動區 (forward active region) 且忽略爾利效應 (Early effect)， V_i 為輸入， V_o 為輸出，下列敘述何者最正確？
 - (A) 該放大器為同相放大器
 - (B) 增加直流偏壓 V_b 可增大增益
 - (C) 減低電阻值 (R) 可增加電晶體電流
 - (D) 提高 V_{CC} 可增加增益



- 7 若一BJT之射極接面為順向偏壓，其集極端為開路致 $I_C=0$ ，則此電晶體工作在那一個工作模式？
(A)主動模式 (active mode) (B)反向主動模式 (reverse active mode)
(C)截止模式 (cutoff mode) (D)飽和模式 (saturation mode)

- 8 圖示為 npn 雙極性接面電晶體 (BJT) 的特性曲線圖，則橫軸、縱軸的變數分別為：

- (A) v_{BE} 、 i_C
(B) v_{CE} 、 i_C
(C) v_{BE} 、 i_B
(D) v_{BC} 、 i_B



- 9 當一 n 通道增強型 MOSFET，工作於飽和區 (saturation region) 時，下列何者最正確？

- (A) $V_{DS} \leq V_{GS} - V_t$ (B) $V_{GD} \leq V_t$ (C) $V_{GS} \leq V_t$ (D) $V_t \leq 0$

- 10 欲將 MOS 電晶體當作電子開關使用，電晶體應工作於何種區域？

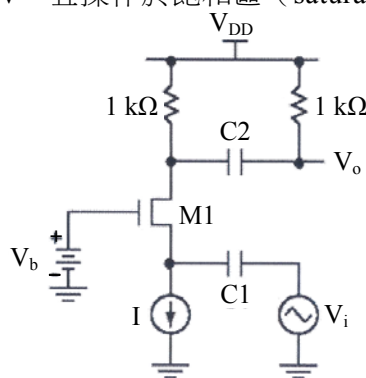
- (A)線性區 (B)崩潰區 (C)負電阻區 (D)截止區及飽和區

- 11 場效電晶體 (FET) 工作在飽和區 (saturation region) 的轉導 (transconductance) g_m 定義為：

- (A) $\left. \frac{\partial i_D}{\partial v_{DS}} \right|_{v_{DS}=V_{DS}}$ ，即當電壓 v_{DS} 固定於 V_{DS} ，電流 i_D 對電壓 v_{DS} 的變化率
(B) $\left. \frac{\partial i_D}{\partial v_{GS}} \right|_{v_{GS}=V_{GS}}$ ，即當電壓 v_{GS} 固定於 V_{GS} ，電流 i_D 對電壓 v_{GS} 的變化率
(C) $\left. \frac{\partial i_G}{\partial v_{DG}} \right|_{v_{DG}=V_{DG}}$ ，即當電壓 v_{DG} 固定於 V_{DG} ，電流 i_G 對電壓 v_{DG} 的變化率
(D) $\left. \frac{\partial i_G}{\partial v_{GS}} \right|_{v_{GS}=V_{GS}}$ ，即當電壓 v_{GS} 固定於 V_{GS} ，電流 i_G 對電壓 v_{GS} 的變化率

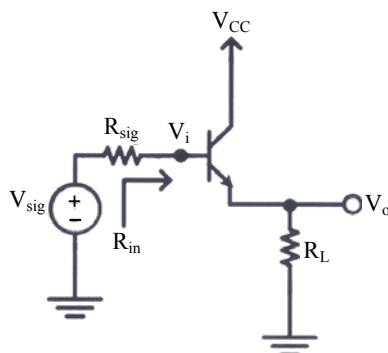
- 12 如圖所示之電路，若MOSFET之轉導值 (g_m) = 1 mA/V，且操作於飽和區 (saturation region)， $C_2 > C_1$ 。下列敘述何者錯誤？

- (A)增加 C_2 將提升低頻之-3 dB頻率 (ω_L)
(B)減少 C_1 將提升低頻之-3 dB頻率 (ω_L)
(C)本電路為同相放大器
(D)加大 g_m 將提升放大器之低頻-3 dB頻率 (ω_L)



- 13 如圖的共集 (CC) 放大器 (其偏壓電路未繪示)，設電晶體工作於主動模式 (active mode)，其小訊號參數 g_m 、 r_e 、 r_π 均為已知，輸出電阻 $r_o \rightarrow \infty$ ，則此放大器之輸入電阻 R_{in} (不含 R_L) 為：

- (A) $r_\pi + R_L$
(B) $r_e + R_L$
(C) $(\beta+1)(r_\pi + R_L)$
(D) $(\beta+1)(r_e + R_L)$

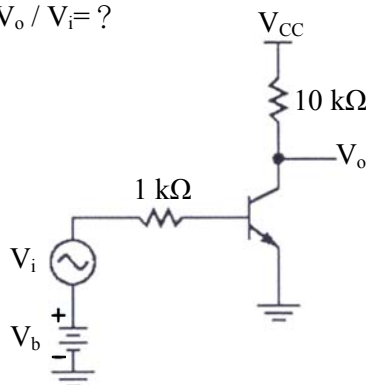


14 理想電壓放大器的輸入阻抗與輸出阻抗分別為：

- (A) ∞ 、 ∞ (B) 0、 ∞ (C) ∞ 、0 (D) 0、0

15 如圖所示之電路，若BJT操作在順向主動區（forward active region），轉導值（ g_m ）為 10 mA/V， $\beta=40$ ，若忽略元件之輸出阻抗（ r_o ），試求 $V_o / V_i = ?$

- (A) -100
(B) -80
(C) -50
(D) -20

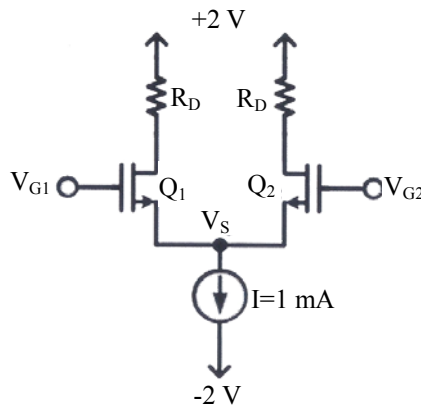


16 雙極性接面電晶體（BJT）共射接線組態下，射極－地間的電阻常並聯一電容（Emitter bypass capacitor），此電容之目的為：

- (A)降低射極的直流電壓 (B)升高射極的直流電壓
(C)提高輸入電阻值 (D)改善電壓增益

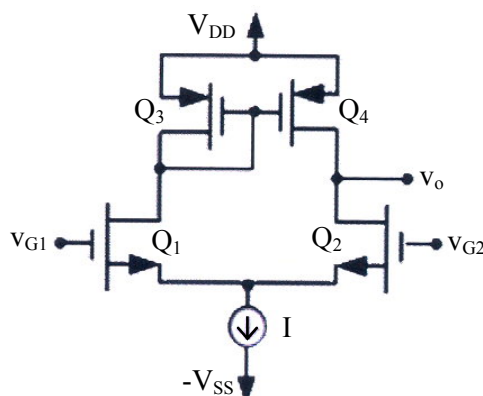
17 如圖之MOS差動放大器（differential amplifier）， $Q_1=Q_2$ ，其臨界電壓（threshold voltage） $V_t=0.5$ V，爾利電壓（Early voltage） $V_A \rightarrow \infty$ 。當 $V_{G1}=V_{G2}=0$ 時，若電晶體工作於飽和模式（saturation mode），其汲極電流 I_D 與閘源電壓 V_{GS} 的關係為 $I_D=2(V_{GS}-V_t)^2$ (mA)。則當 $V_{G1}=V_{G2}=0$ 時， R_D 之最大值可為多大，而仍可維持電晶體工作於飽和模式？

- (A) 3 kΩ
(B) 4 kΩ
(C) 5 kΩ
(D) 6 kΩ



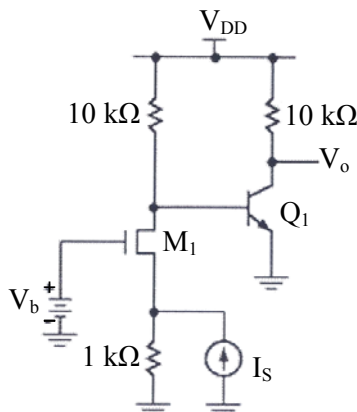
18 圖示電路中 v_o 為輸出電壓，本電路是何種電路？

- (A)濾波器
(B)加法器
(C)緩衝器
(D)差動放大器



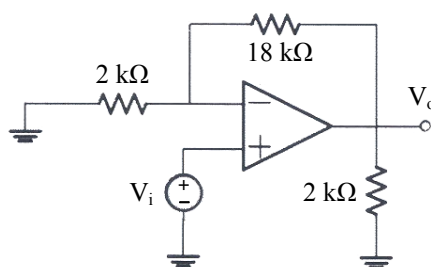
- 19 如圖所示之電路，若MOSFET操作在飽和區（saturation region）且轉導值（ g_m ）為A/V；BJT操作在順向主動區（forward active region）且轉導值（ g_m ）為A/V， $\beta=100$ 。若忽略元件之輸出阻抗（ r_o ），試求 $V_o/I_s=?$

- (A) -1000 $k\Omega$
(B) -500 $k\Omega$
(C) -250 $k\Omega$
(D) -125 $k\Omega$



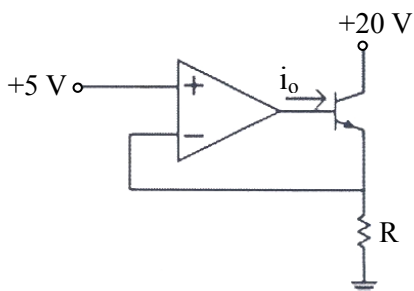
- 20 某串級放大器，若第一級電壓增益為 40 dB，第二級電壓增益為 20 dB，則總電壓增益為何？
(A) 20 dB (B) 60 dB (C) 800 dB (D) 1000 dB
- 21 圖中理想運算放大器電路的放大增益為何？

- (A) 4.5 V/V
(B) 5.5 V/V
(C) 9 V/V
(D) 10 V/V



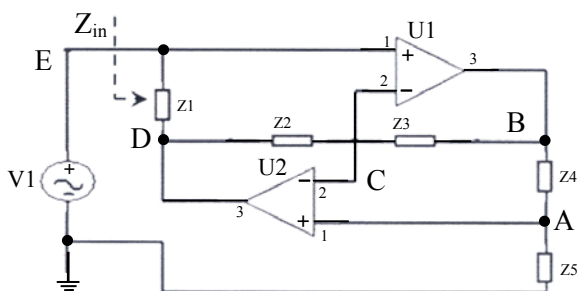
- 22 考慮下圖理想運算放大器電路，若運算放大器的輸出電流 $i_o=0.2$ mA，電晶體的電流增益 $\beta=99$ ，則電阻R應為多少？

- (A) 250 Ω
(B) 500 Ω
(C) 750 Ω
(D) 1 $k\Omega$



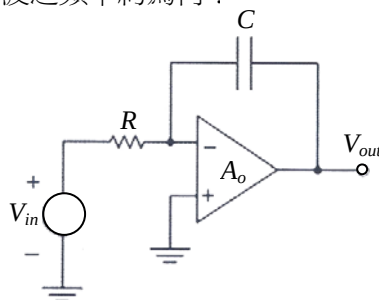
- 23 有一電路如下圖所示，若 Z_2 為純電容， Z_1 與 $Z_3\sim Z_5$ 均為純電阻R，所有阻抗 $Z_1\sim Z_5$ 的絕對值均相等且不為零，且所有放大器 U_1 及 U_2 均為理想運算放大器， V_1 為交流電源。試問等效輸入阻抗 Z_{in} 為何？

- (A) 純電感 $+jX$
(B) 純電容 $-jX$
(C) 電感性阻抗 $R+jX$
(D) 電容性阻抗 $R-jX$



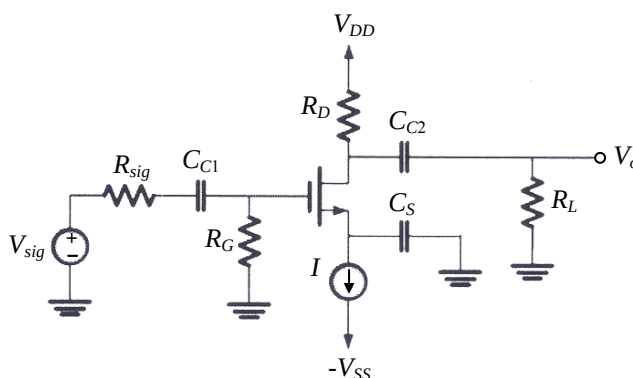
- 24 如圖所示之理想運算放大器電路，假設輸入為一弦波（sinusoid）訊號， $A_o = \infty$ ， $RC = 10 \text{ ns}$ ，且此電路放大輸入訊號之大小 10 倍，則輸入弦波之頻率約為何？

- (A) 0.8 MHz
(B) 1.2 MHz
(C) 1.6 MHz
(D) 3.2 MHz



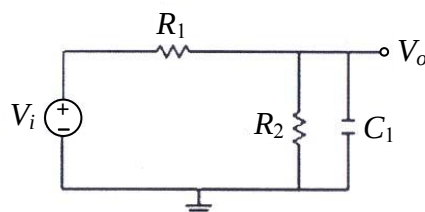
- 25 如圖為一 MOSFET 共源極架構放大器，假設電晶體之爾利電壓（Early voltage）為無窮大，下列何者不是其低頻響應的極點頻率？

- (A) $\frac{1}{C_{C1}(R_G + R_{sig})}$
(B) $\frac{g_m}{C_S}$
(C) $\frac{1}{C_{C2}(R_D + R_L)}$
(D) $\frac{1}{(C_{C1} + C_{C2})(R_G + R_D + R_L)}$



- 26 下圖中 $R_1 = 4 \text{ k}\Omega$ 、 $R_2 = 6 \text{ k}\Omega$ 、 $C_1 = 1 \text{ pF}$ 。則此電路之 -3 分貝頻率約為多少？

- (A) 15.9 MHz
(B) 26.5 MHz
(C) 39.8 MHz
(D) 66.3 MHz



- 27 有一放大器電路的頻率響應轉移函數（transfer function） $F(s)$ 如下所示，其中 $s = j\omega = j2\pi f$ ：

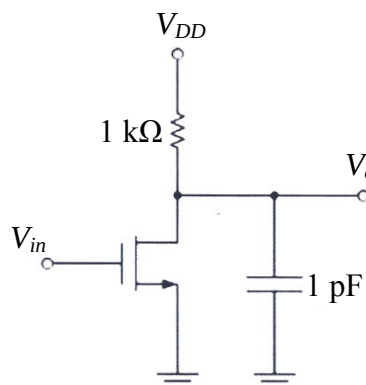
$$F(s) = \frac{10s}{\left(1 + \frac{s}{2\pi \times 10^2}\right) \left(1 + \frac{s}{2\pi \times 10^5}\right)}$$

若繪製相角 $\angle F(s)$ 的波德圖（Bode plot），試問在頻率 $f = 100 \text{ kHz}$ 時的相角應落在下列何範圍內？

- (A) $+50^\circ$ 到 $+100^\circ$ 之間 (B) 0° 到 $+50^\circ$ 之間 (C) -50° 到 0° 之間 (D) -100° 到 -50° 之間

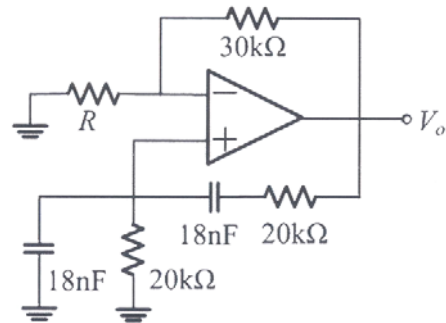
- 28 如圖所示之電路，假設 MOS 電晶體操作在飽和區，且電晶體特性為理想，求使其電壓增益下降為最大增益之 90% 時之頻率為何？

- (A) 47.1 MHz
(B) 57.1 MHz
(C) 67.1 MHz
(D) 77.1 MHz



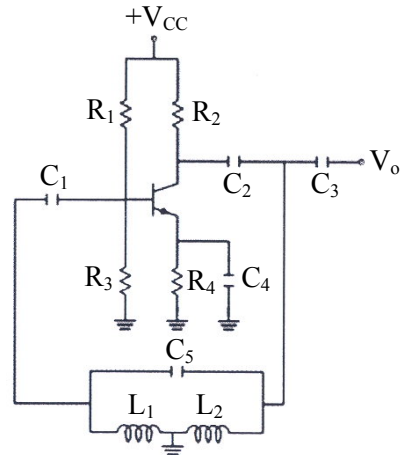
29 圖中爲一韋恩電橋（Wien bridge）振盪器，要維持持續的振盪，所需的電阻 R 值爲何？

- (A) 10 k Ω
(B) 15 k Ω
(C) 20 k Ω
(D) 60 k Ω



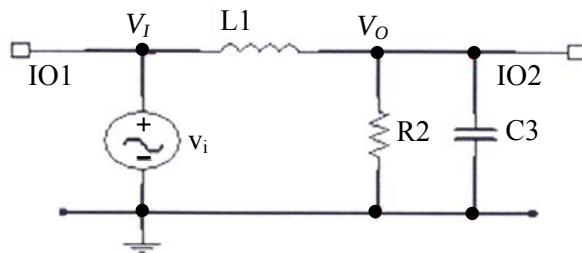
30 下圖是那一種振盪器電路？

- (A) 考畢子振盪器（The Colpitts Oscillator）
(B) 克拉普振盪器（The Clapp Oscillator）
(C) 哈特萊振盪器（The Hartley Oscillator）
(D) 韋恩電橋振盪器（The Wien-bridge Oscillator）



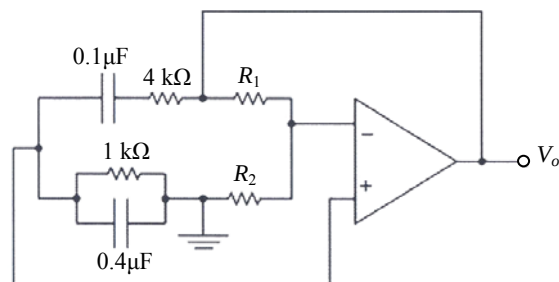
31 某一LCR被動式濾波器（passive filter）如下圖所示，試問該電路 V_o/V_i 轉移函數（transfer function）的數學表示式爲何？

- (A) $T(s) \equiv \frac{V_o}{V_i} = a_0 \frac{s^2 + \omega_0^2}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2}$
(B) $T(s) \equiv \frac{V_o}{V_i} = a_0 \frac{s^2}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2}$
(C) $T(s) \equiv \frac{V_o}{V_i} = a_0 \frac{s}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2}$
(D) $T(s) \equiv \frac{V_o}{V_i} = a_0 \frac{1}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2}$



32 如圖所示之理想運算放大器振盪電路，其振盪頻率爲何？

- (A) 100 Hz
(B) 200 Hz
(C) 300 Hz
(D) 400 Hz

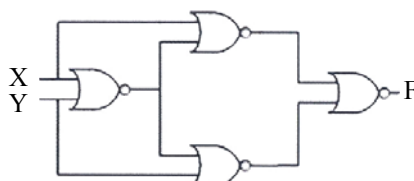


33 下列關於傳輸延遲的描述何者最正確？

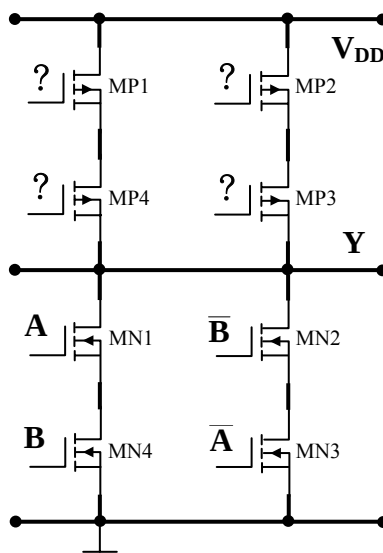
- (A) 傳輸延遲愈大代表操作速度愈快
- (B) 高至低傳輸延遲定義為輸出由高邏輯電壓從其 90% 下降至其 10% 所需的時間
- (C) 傳輸延遲不受負載電容的影響
- (D) 當功率消耗增加，傳輸延遲就會隨之增加

34 下圖由四個 NOR 閘組成之數位邏輯電路，其輸出 F 為何？

- (A) $F = \overline{X}\overline{Y} + \overline{X}Y$
- (B) $F = XY + \overline{X}\overline{Y}$
- (C) $F = X\overline{Y} + \overline{X}Y$
- (D) $F = \overline{X}\overline{Y} + XY$



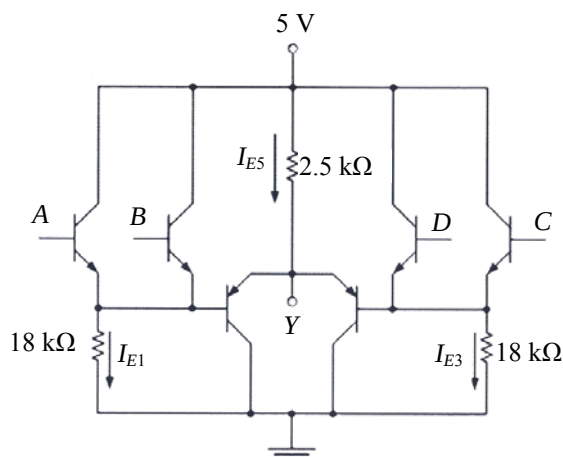
35 數位邏輯電路可分為下拉網路（pull-down network）與上拉網路（pull-up network）兩部分，今有一邏輯閘使用 NMOS 電晶體製作下拉部分，如下圖所示。試設計上拉部分 PMOS 電晶體互補的連線：



- (A) A 接 MP1、B 接 MP2、 $\overline{A}$ 接 MP3、 $\overline{B}$ 接 MP4
- (B) $\overline{A}$ 接 MP1、A 接 MP2、B 接 MP3、 $\overline{B}$ 接 MP4
- (C) A 接 MP1、B 接 MP2、A 接 MP3、 $\overline{B}$ 接 MP4
- (D) A 接 MP1、B 接 MP2、 $\overline{A}$ 接 MP3、B 接 MP4

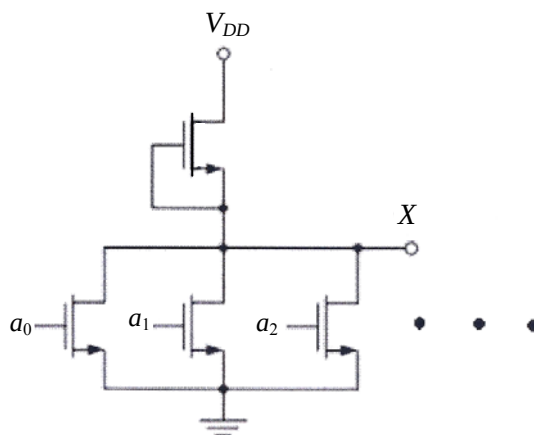
36 如圖所示之電路，若 $A=5\text{ V}$ ， $B=C=D=0\text{ V}$ ，則下列何者最正確？

- (A) $I_{E1} = 0\text{ mA}$
- (B) $I_{E3} = 0.239\text{ mA}$
- (C) $I_{E5} = 1.72\text{ mA}$
- (D) $V_Y = 5\text{ V}$

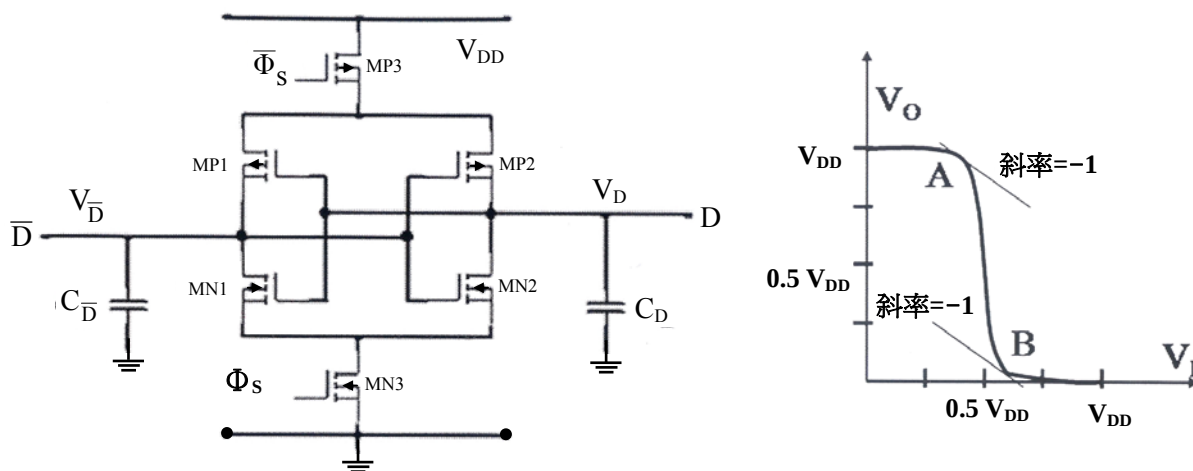


- 37 如圖所示之電路為一 n -bit 之位址解碼器 (address decoder)。假設一記憶體安排為方形陣列 (square array) 型式，而行與列之位址解碼器採用如圖所示之方式，求 4K 記憶體所需之解碼器電晶體數目為何？

(A) 384
(B) 564
(C) 896
(D) 1024



- 38 有一感知放大器 (sense amplifier, SA) 細部的電晶體電路如下圖所示，並顯示出等效寄生的電容 C_D 、 $C_{\bar{D}}$ 。當時脈 $\Phi_S=0$ 時，感知放大器不動作；當時脈 $\Phi_S=1$ 時，感知放大器才會動作。設每一對 PMOS-NMOS 串聯路徑的轉移特性 (voltage transfer characteristic, VTC) 經適當設計後，其轉態的輸入準位為 $0.5 V_{DD}$ ，如下圖所示。若時脈 Φ_S 是由 0 轉成 1 之前，已知位元信號線 D 、 $\bar{D}$ 的電壓分別為 $V_D=0.4 V_{DD}$ 、 $V_{\bar{D}}=0.6 V_{DD}$ ，當時脈 $\Phi_S=1$ 後，試分析位元信號線 D 、 $\bar{D}$ 最終穩定的電壓：



- (A) 信號線 D 最終穩定的電壓接近 $0 V$ 、信號線 $\bar{D}$ 最終穩定的電壓接近 V_{DD}
(B) 信號線 D 最終穩定的電壓接近 $0.3 V_{DD}$ 、信號線 $\bar{D}$ 最終穩定的電壓接近 $0.7 V_{DD}$
(C) 信號線 D 、 $\bar{D}$ 最終穩定的電壓接近 $0.5 V_{DD}$
(D) 信號線 D 最終穩定的電壓接近 $0.6 V_{DD}$ 、信號線 $\bar{D}$ 最終穩定的電壓接近 $0.4 V_{DD}$
- 39 下列有關於 DRAM 電路儲存資料方式的描述何者最正確？
(A) 資料儲存於電容 (B) 資料儲存於正反器 (flip flop)
(C) 資料儲存在閘鎖器 (latch) (D) 資料儲存於電感
- 40 記憶體晶片在 $5 V$ 電源下，以 $100 ns$ 週期連續操作，晶片功率消耗為 $400 mW$ ，在任一週期中有動作的所有邏輯的總電容約為何？
(A) $0.8 nF$ (B) $1 nF$ (C) $1.6 nF$ (D) $2 nF$