

等 別：四等考試
類 科：電力工程、電子工程、電信工程
科 目：電子學概要
考試時間：1 小時 30 分

座號：_____

※注意：(一)可以使用電子計算器。

(二)不必抄題，作答時請將試題題號及答案依照順序寫在試卷上，於本試題上作答者，不予計分。

(三)本科目除專門名詞或數理公式外，應使用本國文字作答。

一、圖 1(a)所示為使用複數阻抗 (Z_1 與 Z_2) 的理想運算放大器電路。

(每小題 5 分，共 20 分)

(一)利用克希荷夫電流定律 (KCL) 與理想運算放大器的虛接地 (Virtual GND) 性質，計算電壓增益 V_{out}/V_{in} 。

(二)利用圖 1(a)所示電路，使用被動元件 (電阻 R 與電容 C) 代替複數阻抗，設計微分器電路。

(三)計算所設計微分器電路的時域 (Time Domain) 輸出電壓函數 $V_{out}(t)$ 。

(四)若輸入電壓 $V_{in}(t)$ 波形如圖 1(b)所示，而所使用的 R 與 C 值分別為 $2.5 \text{ k}\Omega$ 與 1 nF ，繪製輸出電壓 $V_{out}(t)$ 波形。

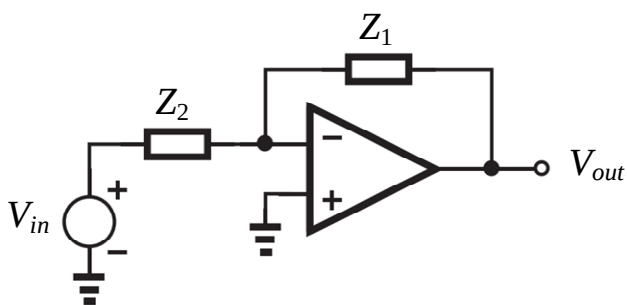


圖 1(a)

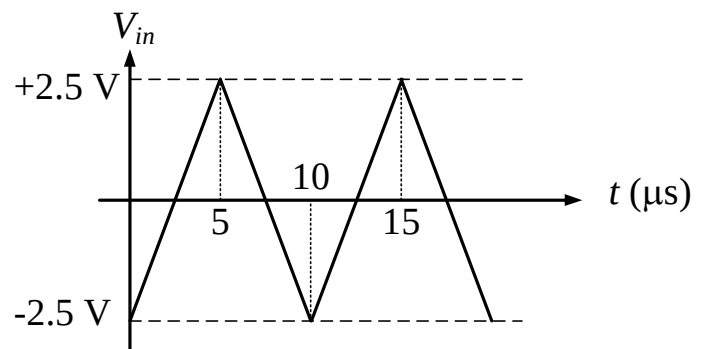


圖 1(b)

二、圖 2 所示的金氧半場效電晶體 (MOSFET) 放大器電路，操作在中頻帶中。忽略通道長度調變 (Channel Length Modulation) 效應，並且假設兩顆電容器 (C_1 與 C_2) 的值很大。(每小題 10 分，共 20 分)

(一)繪製此放大器電路的中頻帶小訊號等效電路。

(二)計算此放大器電路的中頻帶電壓增益。

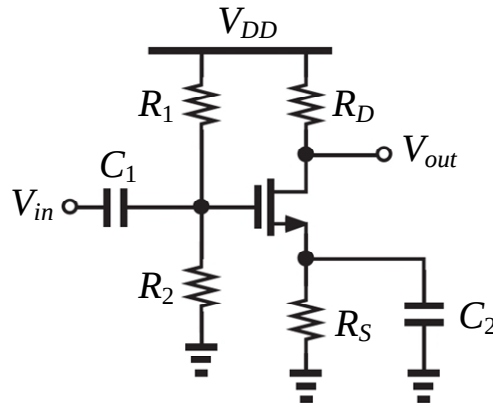


圖 2

三、圖 3 的達靈頓對 (Darlington Pair) 電路，是由兩顆不同類型 (一顆 *nnp* 與一顆 *pnnp*) 的雙極性接面電晶體 (BJT) 所組成。

(每小題 10 分，共 20 分)

(一)若將此電路等效為單顆 BJT 電晶體，請繪製其等效電路符號 (*nnp* 或 *pnnp* 擇一)，並且標明其電流方向 (I_B 、 I_C 與 I_E)。

(二)計算此電路的電流放大倍率 I_E/I_B 。假設 $\beta_1 \gg 1$ 、 $\beta_2 \gg 1$ 。

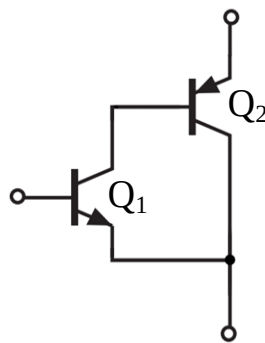


圖 3

四、圖 4 所示為一階濾波器，使用被動元件進行實現。其中 $R_1 = 1\ \Omega$ 、 $R_2 = 1\ \text{k}\Omega$ 、 $C_1 = 1\ \text{nF}$ ，以及 $C_2 = 1\ \mu\text{F}$ 。（每小題 10 分，共 20 分）

- (一) 計算轉移函數 $H(s) = V_{out}/V_{in}$ ，以及極點（pole）與零點（zero）位置。
(二) 使用波德規則（Bode's rules）繪製轉移函數大小 $|H(\omega)|$ 響應圖，必須標明數值。並且說明此濾波器類型為高通（High-Pass）或低通（Low-Pass）。

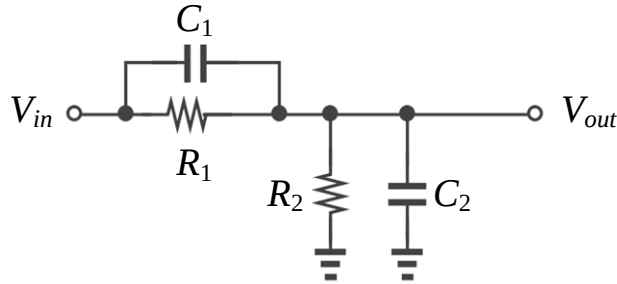


圖 4

五、圖 5 所示為由三顆完全相同的反相器所組成的振盪器。

（每小題 10 分，共 20 分）

- (一) 使用互補式金氧半（Complementary MOS, CMOS）反相器來設計此振盪器，繪製出完整電路。
(二) 若每一顆 CMOS 反相器均具有相同的高至低輸出轉態延遲時間 (t_{PHL}) 與低至高輸出轉態延遲時間 (t_{PLH})，繪製在三個節點的波形，然後計算最高操作頻率 (f_{max})。[註： $t_{PLH} \neq t_{PHL}$]

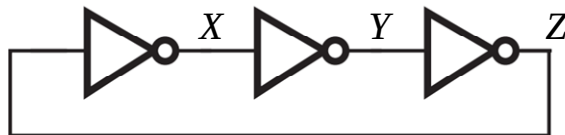


圖 5