

等 別：四等考試

類 科：電力工程、電子工程、電信工程

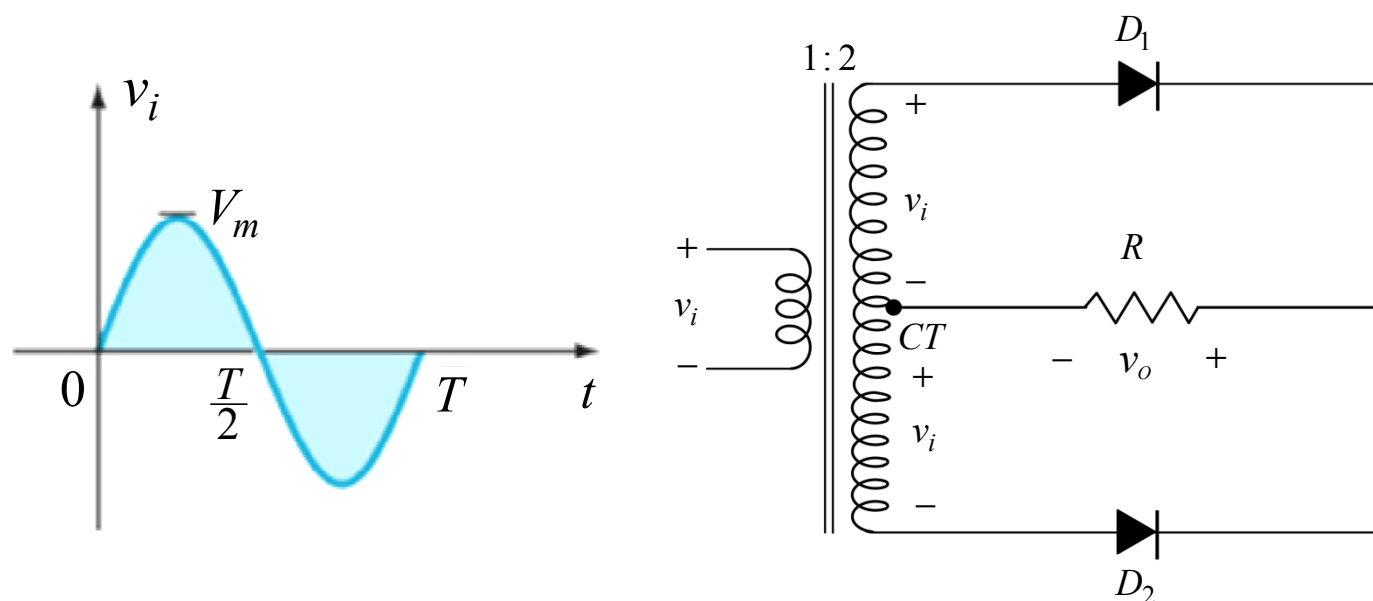
科 目：電子學概要

考試時間：1 小時 30 分

座號：_____

※注意：(一)禁止使用電子計算器。

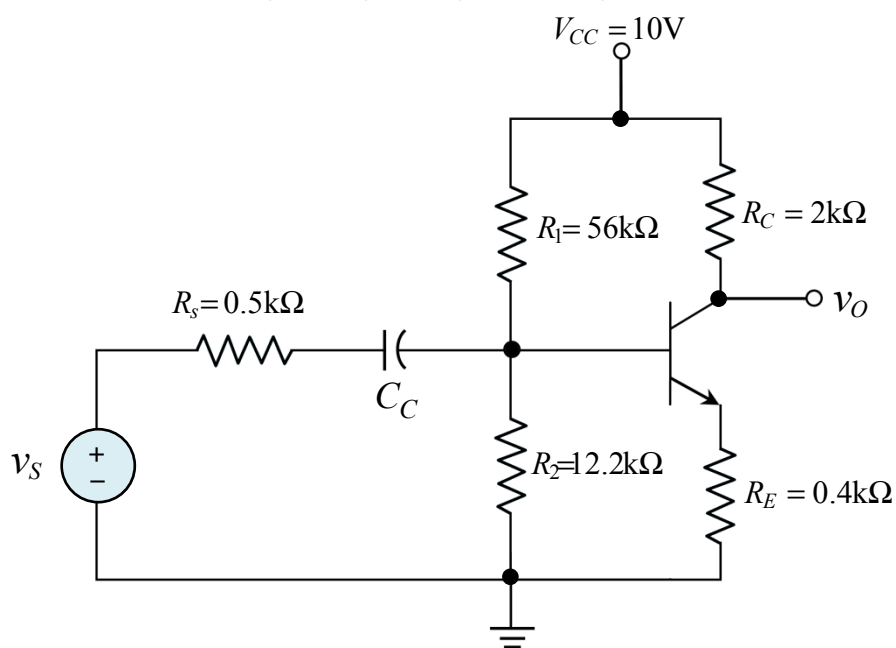
(二)不必抄題，作答時請將試題題號及答案依照順序寫在試卷上，於本試題上作答者，不予計分。

一、如圖一所示，輸入信號為一個週期 T 之連續信號：(每小題 10 分，共 20 分)(一)請配合輸入信號說明 D_1 及 D_2 何時會導通。(二)請以輸入信號為參考，繪出 v_o ，並說明那個部分是由 D_1 或 D_2 導通形成。

圖一

二、如圖二所示， $V_{BE(on)}=0.7\text{ V}$ ， $\beta=100$ ：

(一)請繪出直流之效應電路。(3 分)

(二)利用(一)之結果將電晶體左端之 R_1 、 R_2 與電源轉成戴維寧等效電路。(7 分)(三)利用(二)之結果算出電晶體之 I_{BQ} 、 I_{CQ} 、 I_{EQ} 及 V_{CEQ} 。(10 分)

圖二

(請接背面)

等 別：四等考試

類 科：電力工程、電子工程、電信工程

科 目：電子學概要

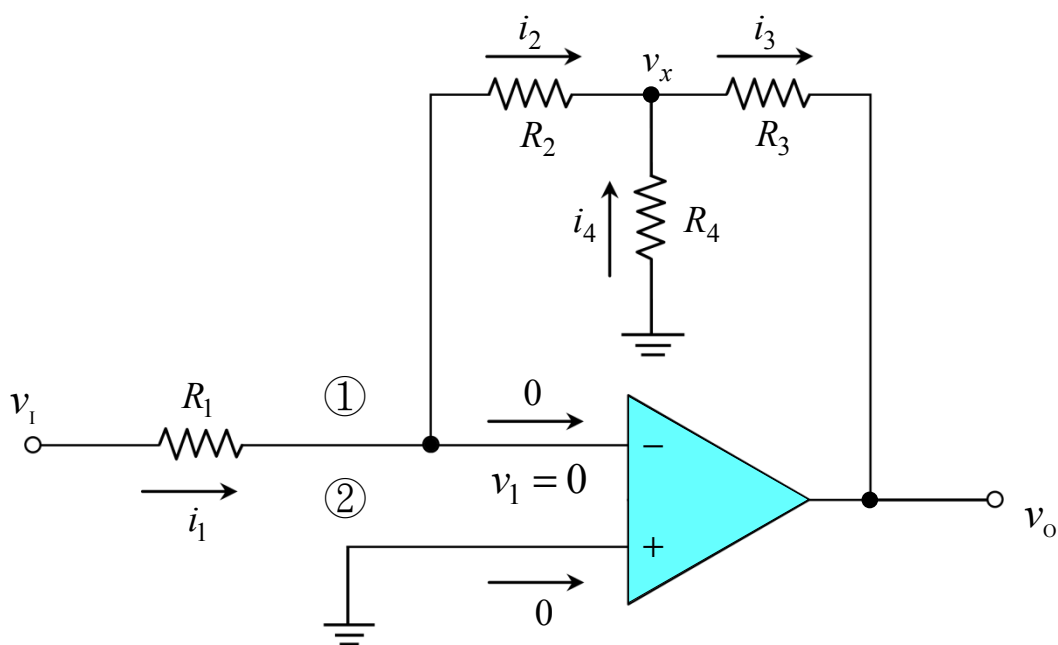
三、(一)利用一個二極體、一個電阻及一個理想 OP 放大器，繪出一個簡單的對數放大器 (simple log amplifier)。(10 分)

(二)利用(一)之電路證明輸出具有一個對數放大效應。(10 分)

四、如圖三：(每小題 10 分，共 20 分)

(一)利用電阻表示 $A_v = v_o/v_i = ?$

(二)假設放大倍率為 10 倍， $R_2/R_1 = R_3/R_1 = 8$ ， $R_1 = 50 \text{ k}\Omega$ ，求 $R_4 = ?$



圖三

五、如下表，為 D flip-flop 之函數表：(每小題 10 分，共 20 分)

(一)利用 NAND gate 繪出 R-S flip-flop 電路。

(二)利用 NAND gate 及 R-S flip-flop 繪出 D flip-flop 電路。

R	Clk	D	Q	Q'
0	X	X	0	1
0	$\uparrow$	0	0	1
0	$\uparrow$	1	1	0