

類 科：電力工程、電子工程、電信工程

科 目：電子學概要

考試時間：1 小時 30 分

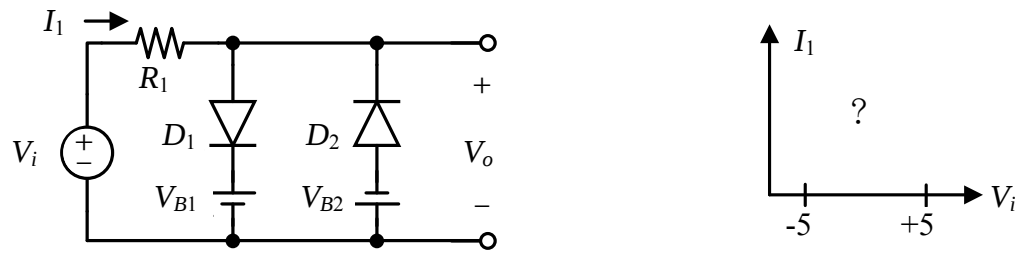
座號：\_\_\_\_\_

※注意：(一)可以使用電子計算器。

(二)不必抄題，作答時請將試題題號及答案依照順序寫在試卷上，於本試題上作答者，不予計分。

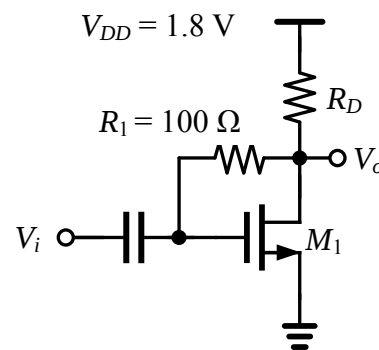
(三)本科目除專門名詞或數理公式外，應使用本國文字作答。

- 一、如圖所示，以下為二極體電路，其中二極體內阻為  $0\ \Omega$ ，導通電壓  $V_{D,on} = 0.7\text{ V}$ 。已知  $V_{B1}$  為  $2\text{ V}$ ， $V_{B2}$  為  $1\text{ V}$ ，電阻  $R_1$  為  $1\text{ k}\Omega$ 。試分析當電壓  $V_i$  變化範圍從  $-5\text{ V}$  到  $+5\text{ V}$  時，繪出流經電阻之電流變化圖（請標示轉折點位置的值）。(20 分)



- 二、如圖所示，以下為電晶體電路，其中電晶體  $M_1$  電流  $1\text{ mA}$ ，截止電壓  $V_{TH} = 0.6\text{ V}$ ，轉導  $g_m = 10\frac{\text{mA}}{\text{V}}$ ，忽略通道調變 (channel length modulation) 效應。電阻  $R_D$  未知。

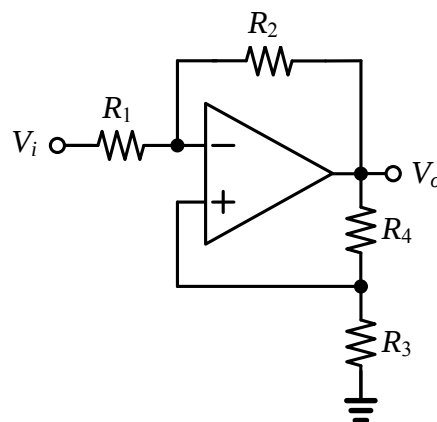
試分析小訊號電壓增益  $\frac{V_o}{V_i}$  值為多少？(20 分)



- 三、如圖所示，以下電路之運算放大器為理想，求下列各項：(每小題 10 分，共 20 分)

(一)輸入電阻為何？

(二)電壓增益為何？



(請接背面)

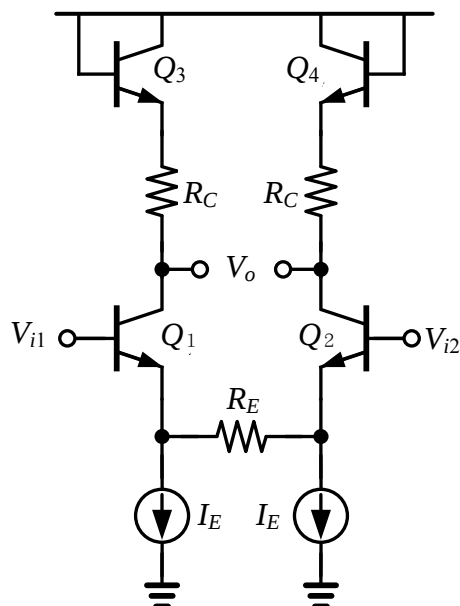
類 科：電力工程、電子工程、電信工程  
科 目：電子學概要

四、如圖所示，以下為一差動電路。電晶體轉導皆為  $g_m = 10 \frac{mA}{V}$ ， $\beta = 100$ ， $R_C = 500 \Omega$ ，

$R_E = 100 \Omega$ ，電流源為理想：(每小題 10 分，共 20 分)

(一) 差模電壓增益為何 (不計正負號)？

(二) 共模電壓增益為何？



五、使用 CMOS 邏輯電路設計，則 PMOS 與 NMOS 電路有互補關係。已知 PMOS 部分的電路如下圖，請畫出 NMOS 部分的電路 (標出輸入訊號正確位置)，及找出此電路的函數關係。(20 分)

