

等 別：高考二級
類 科：電子工程
科 目：積體電路技術
考試時間：2 小時

座號：_____

※注意：(一)禁止使用電子計算器。

(二)不必抄題，作答時請將試題題號及答案依照順序寫在試卷上，於本試題上作答者，不予計分。

(三)請以黑色鋼筆或原子筆在申論試卷上作答。

(四)本科目除專門名詞或數理公式外，應使用本國文字作答。

一、請就下列積體電路製造技術之相關問題，分別試述之：

(每小題 5 分，共 25 分)

(一)熱載子效應 (Hot Carrier Effect) 的成因與影響

(二)天線效應 (Antenna Effect) 的成因與影響

(三)何謂 CoWoS 技術與其優勢

(四)何謂熱預算 (thermal budget) 與其對積體電路製程的影響

(五)就選擇比 (selectivity) 與蝕刻輪廓 (etch profile) 兩面向，比較濕蝕刻 (wet etching) 與乾蝕刻 (dry etching) 的優缺點

二、於 CMOS 積體電路製作過程，電晶體的閘極介電層中或多或少會存在移動性離子電荷 Q_m ，請詳述：

(一) Q_m 的來源 (5 分)

(二) Q_m 對元件特性或積體電路可靠性的影響 (5 分)

(三)降低 Q_m 的方法 (5 分)

(四)如何使用 BTS (bias-temperature stress) 測試估算 Q_m 的量 (10 分)

三、某積體電路包含增強型 nMOSFET 與 pMOSFET 元件。其 nMOSFET 與 pMOSFET 的閘極分別為 n^+ poly-Si 與 p^+ poly-Si，以及閘極氧化層為使用乾氧化製程形成的 SiO_2 。底下就各子題，請說明與解釋 nMOSFET 與 pMOSFET 元件之臨界電壓 (threshold voltage) 的變化是往正方向變動、往負方向變動或不變？(每小題 5 分，共 25 分)

(一)在其他製程條件不變下，僅增加氧化時間，使氧化層厚度增加

(二)在其他製程條件不變下，僅增加 nMOSFET 之 V_T -adjust (臨界電壓調整) 之 p 型離子佈植的濃度

(三)在其他製程條件不變下，將 nMOSFET 的閘極由 n^+ poly-Si 換成 p^+ poly-Si，以及將 pMOSFET 的閘極由 p^+ poly-Si 換成 n^+ poly-Si

(四)在製造過程中發生硼穿透 (boron penetration) 至氧化層中

(五)由於清洗製程不完全，導致氧化層產生多餘的不明負電荷

- 四、假設均使用正光阻製程，欲製作如圖所示之積體電路元件。則在盡可能使用最少光罩數目的情況下，設計所有需要的光罩示意圖（以斜線表示光罩上不透光區域，以空白表示透光區域）。並搭配所設計的光罩，由 p-Si 基底開始，依照製程順序列出所有必要的製程步驟，並加以說明。（25 分）

