

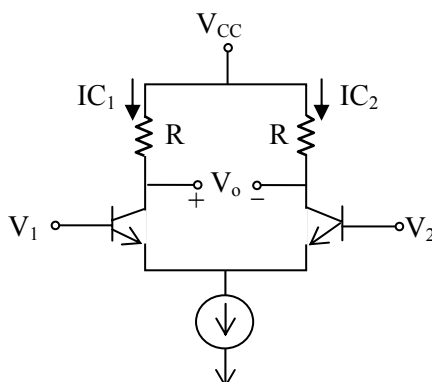
等 別：五等考試
類 科：電子工程
科 目：電子學大意
考試時間：1 小時

座號：_____

※注意：(一)本試題為單一選擇題，請選出一個正確或最適當的答案，複選作答者，該題不予計分。
(二)本科目共40題，每題2.5分，須用2B鉛筆在試卡上依題號清楚劃記，於本試題上作答者，不予計分。
(三)可以使用電子計算器。

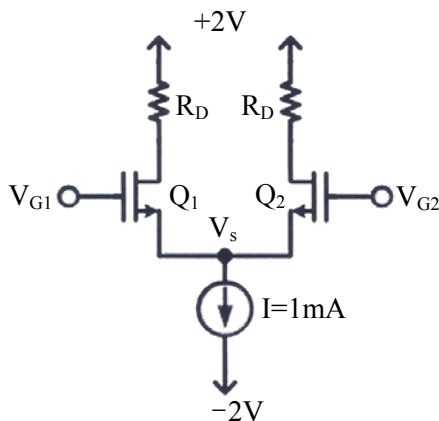
- 1 如下圖所示之差動放大器，其輸出電壓 V_o 將與下列何種訊號成正比？

(A) V_1
(B) V_2
(C) $V_1 + V_2$
(D) $V_1 - V_2$

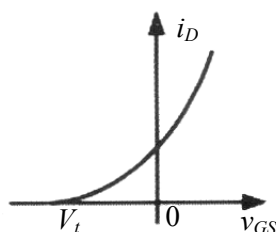


- 2 如下圖之MOS差動放大器 (Differential Amplifier)， $Q_1 = Q_2$ ，其臨界電壓 (Threshold Voltage) $V_t = 0.5\text{ V}$ ，爾利電壓 (Early Voltage) $V_A \rightarrow \infty$ 。當 $V_{G1} = V_{G2} = 0$ 時，若電晶體工作於飽和模式 (Saturation Mode)，其汲極電流 I_D 與閘源電壓 V_{GS} 的關係為 $I_D = 2(V_{GS} - V_t)^2 (\text{mA})$ 。則輸入之共模電壓 (Common-mode Voltage) V_{CM} 之最大值可為多大，而仍可維持電晶體工作於飽和模式？

(A) 0.5 V
(B) 1 V
(C) 1.5 V
(D) 2 V

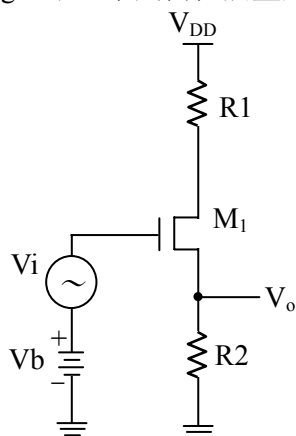


- 3 在材料實驗室新領到 MOSFET IC 時，常見到此 IC 腳擺置在 IC 套管內，其主要目的是：
(A) 增加價值感 (B) 證明它是新品 (C) 避免因靜電而遭破壞 (D) 增加美觀
- 4 在下列各選項中，那一個選項對 MOS 電晶體的臨界電壓 (Threshold Voltage) V_t 的影響最小：
(A) 通道的寬長比 W/L (B) 氧化層的介電常數 ϵ_{ox}
(C) 氧化層的厚度 t_{ox} (D) 半導體的雜質濃度 N
- 5 某 FET 工作在飽和區 (Saturation Region)，其 $i_D - v_{GS}$ 關係如下圖所示，則此 FET 為：



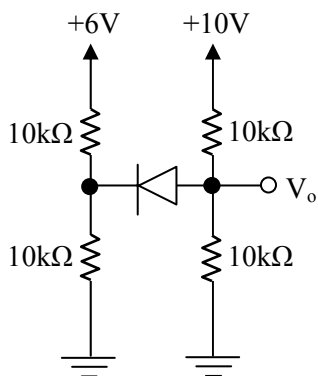
- 6 如下圖所示之放大器，若電晶體操作於三極管區（Triode Region），下列何種調整方式可使電晶體進入飽和區（Saturation Region）？

(A) 增加 R_1
(B) 增加 V_b
(C) 選用寬長比（ W/L ）較大之 MOSFET
(D) 增加 R_2



- 7 如下圖電路，設二極體為理想二極體。則此電路的輸出電壓 V_o 為何？

(A) 5 V
(B) 4 V
(C) 3 V
(D) 2 V



- 8 利用三用電錶電阻量測功能來測量二極體，無論測試棒如何接法，指針的指示值均為高值，則表示此二極體的狀況最可能是：

(A) 正常 (B) 短路 (C) 斷路 (D) 無法判斷

- 9 關於 P-N 接面二極體之敘述，下列何者錯誤？

(A) P 型區域為加入三價雜質 (B) N 型區中空乏區離子帶負電
(C) 順向偏壓時擴散電容增加 (D) 逆向偏壓時空乏電容減少

- 10 下列何者是形成 pn 接面位能障礙（Barrier）的主要原因？

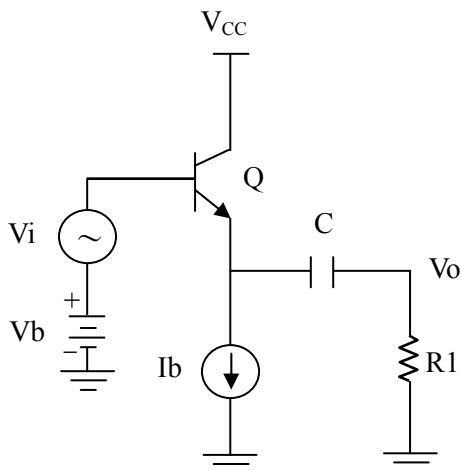
(A) 空乏區內的磁場 (B) 空乏區內的電場 (C) 空乏區內的電容 (D) 空乏區內的電感

- 11 雙極性接面電晶體 I_{CBO} 逆向電流受環境溫度之影響是：

(A) 溫度每下降 1°C 時，則增加 1 倍 (B) 溫度每上升 1°C 時，則增加 1 倍
(C) 溫度每下降 10°C 時，則增加 1 倍 (D) 溫度每上升 10°C 時，則增加 1 倍

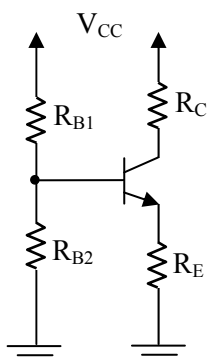
- 12 如下圖所示放大器，若電晶體操作於主動區（Forward Active Region）假設 C 為無窮大且忽略爾利效應（Early Effect）， V_i 為輸入， V_o 為輸出，下列敘述何者正確？

(A) 該放大器為反相放大器
(B) 增加 R_1 則增益減少
(C) 增加電流 I_b 可增加增益
(D) 增加 V_{CC} 可減少增益



- 13 如下圖所示電路，何者提供直流偏壓的負回授？

(A) R_{B1}
(B) R_{B2}
(C) R_C
(D) R_E



- 14 當一BJT電晶體工作在主動模式（Active-Mode）時， I_B 、 I_C 、 I_E 間之大小關係為何？

(A) $I_E > I_C > I_B$ (B) $I_C < I_B < I_E$ (C) $I_E = I_C = I_B$ (D) $I_B < I_E < I_C$

- 15 雙極性接面電晶體（BJT）中，下列那種電路組態其輸出阻抗最小？

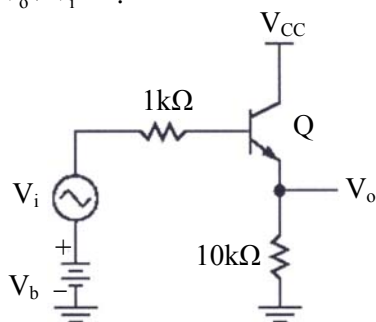
(A) 共基極組態 (B) 共射極組態 (C) 共集極組態 (D) 射-基極組態

- 16 共射極（CE）放大器的高頻響應較差，其主要原因為：

(A) 爾利效應（Early Effect）
(B) 通導長度調變效應（Channel Length Modulation Effect）
(C) 溫度效應（Temperature Effect）
(D) 米勒效應（Miller Effect）

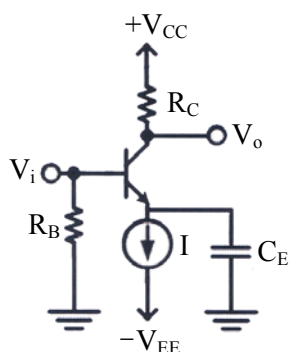
- 17 如下圖所示之電路，若BJT操作在主動區（Forward Active Region），轉導值(g_m)為 10 mA/V， $\beta = 40$ ，若忽略元件之輸出阻抗(r_o)，試求 $V_o/V_i = ?$

(A) 10/11
(B) 82/83
(C) 400
(D) 410



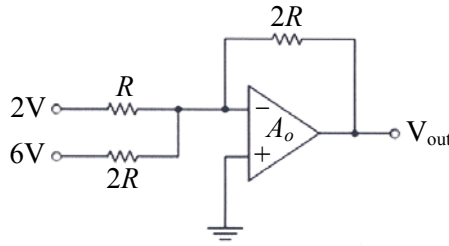
- 18 如下圖的共射（CE）放大器，設電晶體工作於主動模式（Active Mode），其小訊號參數 g_m 、 r_e 、 r_π 及輸出電阻 r_o 均為已知，各外加電容均極大。若電晶體之 $\alpha \cong 1$ ， $r_o \rightarrow \infty$ ，則電壓增益 $|A_v| \equiv \left| \frac{v_o}{v_i} \right|$ 為：

(A) $g_m R_B$
(B) R_C / R_B
(C) R_C / r_π
(D) $I R_C / V_T$



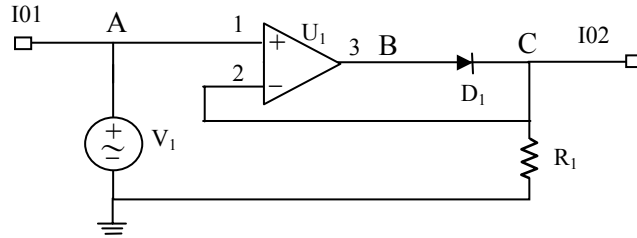
- 19 如下圖所示之理想運算放大器電路，其中 $A_o = \infty$ ，求輸出電壓為何？

(A) -2V
(B) -6V
(C) -10V
(D) -12V



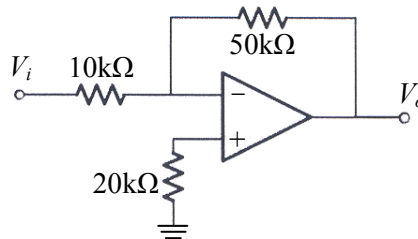
- 20 有一放大器電路如下圖所示，放大器 U_1 為理想的運算放大器，其輸出電壓範圍侷限在+10 V 與-10 V 之間，二極體 D_1 順向電壓 $V_{D0} = 0.7$ V。若電阻 $R_1 = 1$ k Ω ，交流電源 $V_1 = 5$ V，試問節點 C 的輸出電壓 V_C 應落在下列何範圍內？

(A) $5.0 \text{ V} \leq V_C$
(B) $4.5 \text{ V} \leq V_C < 5 \text{ V}$
(C) $4.0 \text{ V} \leq V_C < 4.5 \text{ V}$
(D) $V_C < 4.0 \text{ V}$



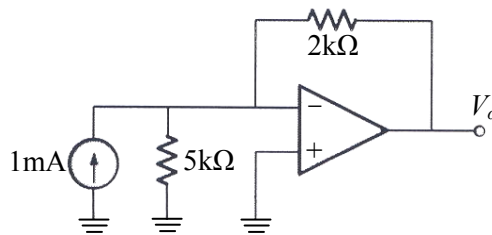
- 21 下圖中電路的放大器為一理想運算放大器，此電路的輸入電阻為何？

(A) 10 k Ω
(B) 30 k Ω
(C) 60 k Ω
(D) 80 k Ω



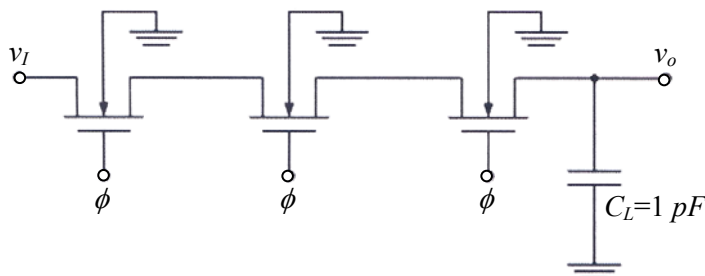
- 22 下圖中為一轉阻放大器，其電壓輸出 V_o 為何？

(A) -2 V
(B) 2 V
(C) -5 V
(D) 5 V



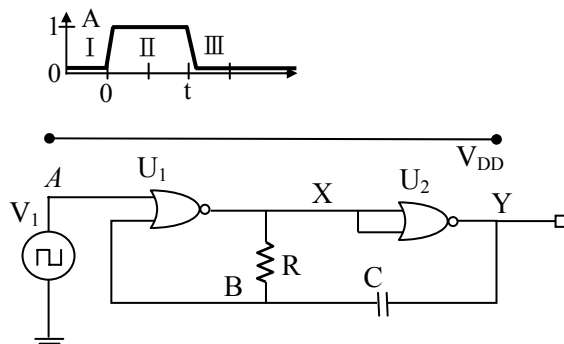
- 23 如下圖所示之電路，其 MOS 電晶體參數： $\frac{1}{2} \mu_n C_{ox} \frac{W}{L} = 0.5 \text{ mA/V}^2$ ， $V_{TN} = 0.4 \text{ V}$ ， $\lambda = 0$ ， $\gamma = 0$ ；假如 $v_I = 3.3 \text{ V}$ ， $\phi = 3.3 \text{ V}$ ，求準穩態 (quasi steady-state) 輸出電壓為何？

(A) 2.4 V
(B) 2.9 V
(C) 3.3 V
(D) 3.6 V



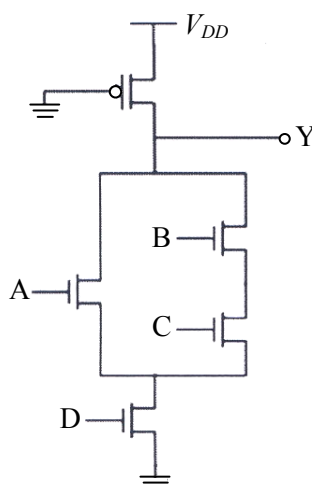
- 24 有一邏輯閘電路如下圖所示，其中數位邏輯閘使用整個電路相同的電源 V_{DD} 與接地，但並未顯示於此電路圖中，而且輸入電壓大致以 $V_{DD}/2$ 為高低準位的判斷界限。設 NOR 閘 U_1 、 U_2 的延遲時間 τ_{NOR} 遠小於電阻 R 電容 C 所組成的時間常數 $\tau_{RC} = RC$ ，今於 A 點輸入一脈波如下圖所示，其中 1 代表高準位，0 代表低準位，此脈波在第 II 區的寬度 $t \gg \tau_{RC}$ 。試研判針對輸出 Y 的波形何者描述最為可能？

- (A) Y 在第 I、III 區為穩定的低準位輸出
(B) Y 在第 I、III 區為穩定的高準位輸出
(C) Y 在第 II 區為穩定的低準位輸出
(D) Y 在第 II 區為穩定的高準位輸出



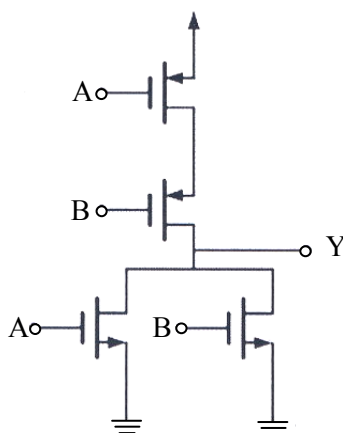
- 25 下圖電路為一個使用增強型 PMOS 及 NMOS 所組成之邏輯閘電路，請問此電路所實現之輸出 Y 為何？

- (A) $Y = (A + BC)D$
(B) $Y = A(B + C) + D$
(C) $Y = \overline{(A + BC)D}$
(D) $Y = \overline{A(B + C) + D}$



- 26 下圖 CMOS 邏輯閘的輸入端為 A 和 B ，輸出 Y 以正邏輯表示為何？

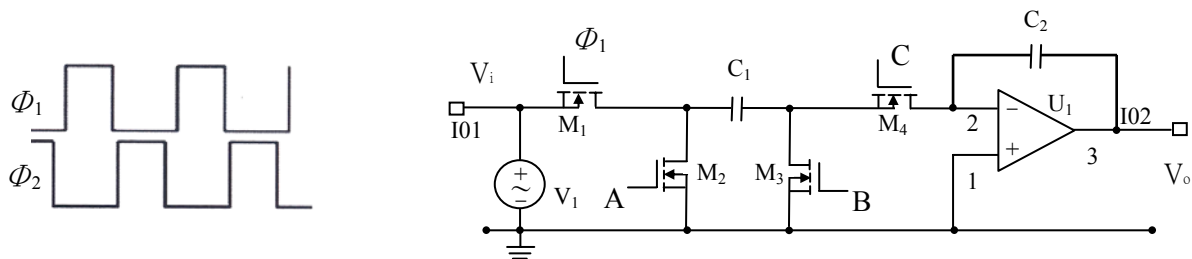
- (A) $Y = AB$
(B) $Y = A + B$
(C) $Y = \overline{AB}$
(D) $Y = \overline{A + B}$



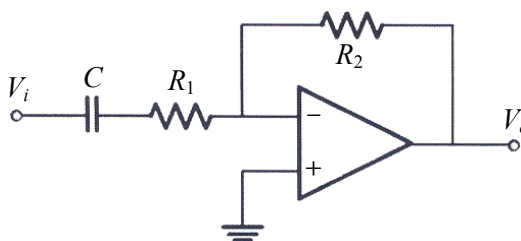
- 27 有一BJT，其 $\beta=100$ ，已知在室溫下熱電壓 $V_T=25\text{mV}$ ， $I_C=1\text{mA}$ ，則該BJT之小訊號參數 r_π 值為：

- (A) 25Ω (B) 250Ω (C) $2.5\text{k}\Omega$ (D) $25\text{k}\Omega$

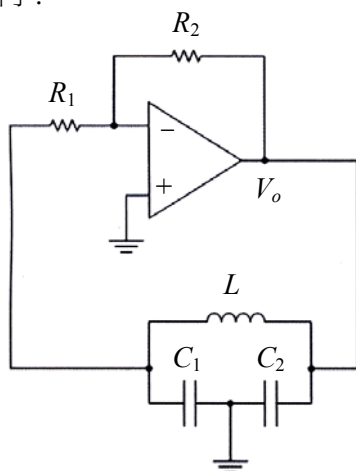
- 28 在 BiCMOS 的數位電路中，使用 BJT 電晶體是基於它的那一個優點？
(A) 低消耗功率 (B) 高輸入阻抗 (C) 寬雜訊邊界 (D) 高電流驅動能力
- 29 下列那一種記憶體在儲存資料設定後不會再更改？
(A) ROM (B) DRAM (C) SRAM (D) Flash Memory
- 30 下圖為交換電容積分器電路 (Switched-Capacitor Integrator)，已知 U_1 為理想運算放大器， Φ_1 與 Φ_2 為不重疊的雙相時脈 (Nonoverlapping Two-Phase Clock)，用來控制電晶體 $M_1 \sim M_4$ 的開關狀態。若欲獲得反相輸出，試問 A、B 與 C 之時脈如何規劃？



- (A) $A = \Phi_2$; $B = \Phi_1$; $C = \Phi_2$ (B) $A = \Phi_2$; $B = \Phi_2$; $C = \Phi_1$
(C) $A = \Phi_1$; $B = \Phi_2$; $C = \Phi_2$ (D) $A = \Phi_1$; $B = \Phi_1$; $C = \Phi_2$
- 31 一維持工作於飽和模式 (Saturation Mode) 的 MOSFET，若其過驅電壓 (Overdrive Voltage) V_{ov} 增為兩倍，則其汲極電流 I_D 會如何變化？
(A) 增為 4 倍 (B) 增為 2 倍 (C) 減為一半 (D) 減為四分之一
- 32 下圖中高通濾波器運算放大器電路， $R_1 = 20 \text{ k}\Omega$ 下，其高頻增益為 15，低頻響應之角頻率 (ω) 為 $5 \times 10^3 \text{ rad/s}$ ，試求 R_2 及 C 值為何？
(A) $R_2 = 280 \text{ k}\Omega$, $C = 10 \text{ nF}$
(B) $R_2 = 300 \text{ k}\Omega$, $C = 10 \text{ nF}$
(C) $R_2 = 280 \text{ k}\Omega$, $C = 10 \text{ pF}$
(D) $R_2 = 300 \text{ k}\Omega$, $C = 10 \text{ pF}$

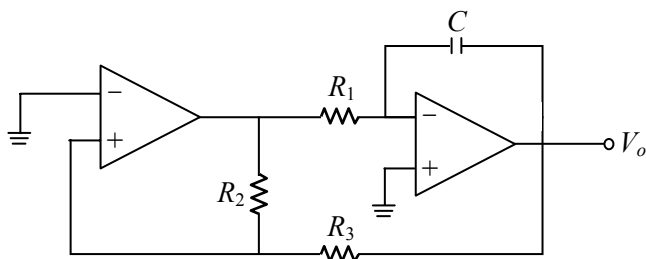


- 33 如下圖所示之理想運算放大器振盪電路， $L = 1 \text{ mH}$ ， $C_1 = C_2 = 30 \text{ pF}$ ，若不考慮 R_1 對回授網路之負載效應，當電路振盪時其振盪頻率為何？
(A) 0.6 MHz
(B) 0.9 MHz
(C) 1.3 MHz
(D) 1.9 MHz



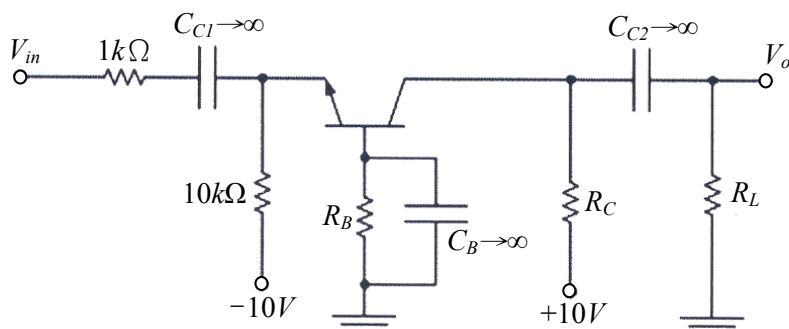
- 34 下圖振盪器電路中，若 $R_1 = 100 \text{ k}\Omega$ 、 $R_2 = 200 \text{ k}\Omega$ 、 $R_3 = 100 \text{ k}\Omega$ 及 $C = 1 \text{ nF}$ ，則振盪頻率約為多少？

(A) 530 Hz
(B) 1.5 kHz
(C) 5 kHz
(D) 10 kHz



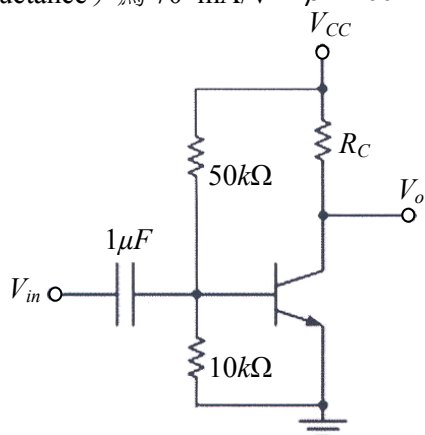
- 35 如下圖所示之電路，假設 BJT 電晶體操作在順向主動區， $I_C = 0.838 \text{ mA}$ ， $V_T = 26 \text{ mV}$ ， $\beta = 100$ ， $C_\pi = 24 \text{ pF}$ ， $C_\mu = 3 \text{ pF}$ ，忽略爾利（Early）效應以及其它電容效應，求輸入端之 -3 dB 頻率為何？

(A) 123 MHz
(B) 223 MHz
(C) 323 MHz
(D) 423 MHz



- 36 如下圖所示之電路，假設 BJT 電晶體操作在順向主動區，忽略爾利（Early）效應與元件內之極間電容效應，假使此 BJT 之轉導（transconductance）為 70 mA/V ， $\beta = 100$ ，求此電路之轉折（corner）頻率為何？

(A) 131 Hz
(B) 231 Hz
(C) 331 Hz
(D) 431 Hz



- 37 有一放大器電路的轉移函數（Transfer Function） $F(s)$ 如下所示，其中 $s = j\omega = j2\pi f$ ：

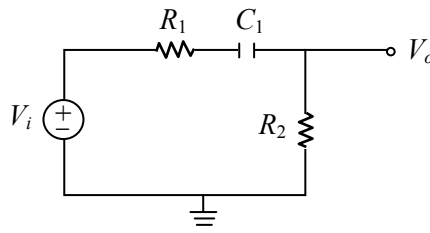
$$F(s) = \frac{1 - \frac{s}{2\pi \times 10^5}}{\left(1 + \frac{s}{6\pi \times 10^3}\right) \left(1 + \frac{s}{4\pi \times 10^4}\right)}$$

試問此轉移函數可能的頻率響應特性為何？

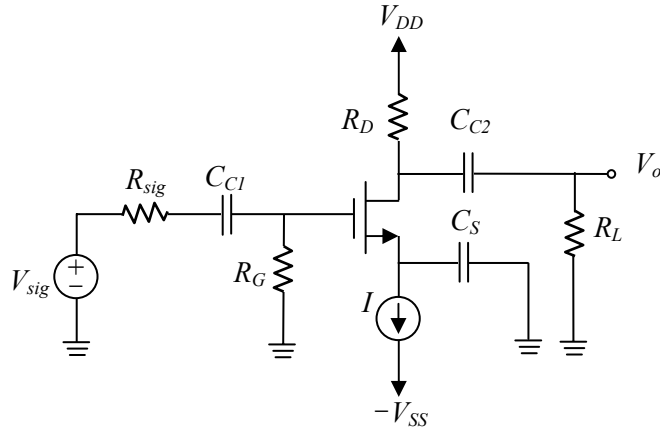
- (A) 高通響應（High-Pass Response）
(B) 低通響應（Low-Pass Response）
(C) 帶通響應（Band-Pass Response）
(D) 帶斥響應（Band-Reject Response）

38 下圖中 $R_1 = 1\text{ k}\Omega$ 、 $R_2 = 1\text{ k}\Omega$ 、 $C_1 = 1\text{ }\mu\text{F}$ 。則此電路之-3 分貝頻率約為多少？

- (A) 40 Hz
(B) 80 Hz
(C) 120 Hz
(D) 160 Hz



39 如下圖為一 MOSFET 共源極架構放大器，下列何者是其高-3 dB 頻率？



- (A) $\frac{1}{R_{sig}(C_{gd} + C_{gs}(1 + g_m(r_o \parallel R_L)))}$
(B) $\frac{1}{R_{sig}(C_{gs} + C_{gd}(1 + g_m(r_o \parallel R_L)))}$
(C) $\frac{1}{R_{sig}(C_{gs} + C_{gd})(1 + g_m(r_o \parallel R_L))}$
(D) $\frac{1}{R_{sig}(C_{gs} + C_{gd})(1/g_m + (r_o \parallel R_L))}$

40 如下圖所示之電路，若 MOSFET 操作在飽和區 (Saturation Region) 且轉導值 (g_m) 為 1 mA/V 。若忽略元件之輸出阻抗 (r_o)， V_o 為 V_{o+} 及 V_{o-} 間之壓差， V_i 為 V_{i+} 及 V_{i-} 間之壓差，試求 $V_o/V_i = ?$

- (A) 10/3
(B) 20/3
(C) 5
(D) 10

