

等 別：高考二級
類 科：電子工程
科 目：積體電路技術
考試時間：2 小時

座號：_____

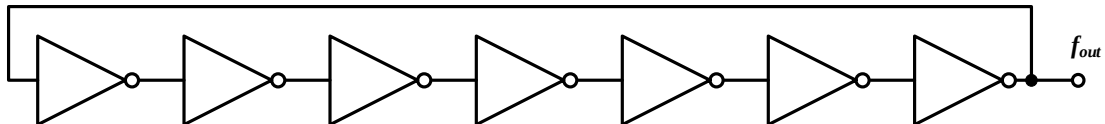
※注意：(一)禁止使用電子計算器。

(二)不必抄題，作答時請將試題題號及答案依照順序寫在試卷上，於本試題上作答者，不予計分。

(三)請以黑色鋼筆或原子筆在申論試卷上作答。

(四)本科目得以本國文字或英文作答。

- 一、以 p -type substrate N -well CMOS 製程為例，請畫出一個 CMOS 反相器 (inverter) 的 cross section diagram，並標明所有的摻雜類型、電路連接與端點 (含輸入及輸出)、及電路操作時所需連接的電壓準位。(35 分)
- 二、說明何為 body effect？如果使用第一題所述 CMOS 製程的 NMOS 電晶體設計一個 cascode amplifier，是否會有 body effect 的問題？請畫出放大器之電路圖並說明原因。(25 分)
- 三、有一個振盪器由 7 個相同的 CMOS 反相器以環型串接所組成如下圖，CMOS 反相器從輸入到輸出端的延遲是 12 ps，請列式計算出此振盪器的最快振盪頻率 f_{out} 為何？在不更改製程及反相器數目的前提下，有什麼方法可以提高振盪頻率？原因為何？(20 分)



- 四、說明何為共模拒斥比 (CMRR)？如果輸入端的信號成分包含一個 10-mV-rms 10 kHz 的差動信號及一個 1-V-rms 60 Hz 的共模信號，且輸出需要將共模信號抑制到比差動信號小至少 60 dB，所用的差動放大器的共模拒斥比至少需要有多少？(20 分)