

102年公務人員特種考試警察人員考試、
102年公務人員特種考試一般警察人員考試及
102年特種考試交通事業鐵路人員考試試題

代號：20140

全一張
(正面)

等 別：二等一般警察人員考試

類 科：刑事警察人員數位鑑識組

科 目：計算機系統（包括計算機結構、作業系統）

考試時間：2 小時

座號：_____

※注意：(一)禁止使用電子計算器。

(二)不必抄題，作答時請將試題題號及答案依照順序寫在試卷上，於本試題上作答者，不予計分。

一、討論計算機指令集架構（instruction set architecture, ISA）設計時，有所謂零個運算元（zero-operand）、一個運算元、二個運算元、三個運算元、四個運算元的分類方法。試問：（每小題 5 分，共 20 分）

(一)一般而言，零個運算元指令集架構的加法運算指令應分別自何處、取得幾個運算元？運算結果應儲存於何處？

(二)一般而言，一個運算元指令集架構的加法運算指令應分別自何處、取得幾個運算元？運算結果應儲存於何處？

(三)一般而言，二個運算元指令集架構的加法運算指令應分別自何處、取得幾個運算元？運算結果應儲存於何處？

(四)一般而言，四個運算元指令集架構的加法運算指令其第四個運算元的作用為何？

二、假設系統中有四個行程（processes）P1 至 P4，其所需 CPU 時間分別為{6, 2, 13, 5}，到達系統時間順序依序為 P1 至 P4，本文切換（context switch）所需時間為 1。試問：（每小題 5 分，共 20 分）

(一)採用先到先做法（first come first served）排程時，四個行程完成的順序為何？

(二)採用最少 CPU 時間工作優先法（shortest job first）排程時，四個行程完成的順序為何？

(三)採用循環式排班演算法（round robin）排程，並假設每次時間配額（time quantum）為 3 時，四個行程完成的順序為何？

(四)以上三個方法所得到的平均等待時間（average waiting time）大小順序依序為何？

三、某計算機其記憶空間為 2^{32} 個位址，每個位址可存放一位元組（byte）；其虛擬記憶體系統（virtual memory system）之頁（page）大小為 4KB（kilo bytes），主記憶體（main memory）的容量為 2GB（giga bytes）。試問此記憶體系統的：（每小題 5 分，共 20 分）

(一)主記憶體內的頁框（page frames）數為何？

(二)頁表（page table）內的項目（entries）數為何？（假設此頁表為單層的結構，並基於完整的頁表來回答本題。）

(三)此頁表應如何存取？亦即，應如何決定需要的項目何在？

(四)何謂頁錯誤（page fault）？發生時，一般將由系統中那一個機制來處理？

（請接背面）

102年公務人員特種考試警察人員考試、
102年公務人員特種考試一般警察人員考試及
102年特種考試交通事業鐵路人員考試試題

代號：20140

全一張
(背面)

等 別：二等一般警察人員考試
類 科：刑事警察人員數位鑑識組
科 目：計算機系統（包括計算機結構、作業系統）

四、某機器碼（machine code）在一個精簡指令集計算機（reduced instruction set computer, RISC）的管線式執行（pipelined execution）下，共使用了 x 個機器時脈週期（machine clock cycles）且 x 遠大於一般的管線深度。試問：（每小題 5 分，共 20 分）

(一)若機器時脈速率為 4GHz，則執行此機器碼耗時若干？

(二)經重新設計，機器時脈速率提升為 6GHz，然而此機器碼需使用 $1.8x$ 個機器時脈週期。則此機器碼耗時又為若干？

(三)為了提升執行速度，我們先分析此機器碼，發現其可同時派發來執行（issue for execution）的指令數平均為 3。於是我們重新設計此機器使其能於一個機器時脈週期內同時派發二道指令。則此情形下，是否可預期新設計對此機器碼的執行速度可達 2 倍？並詳細說明之。

(四)為了充分發揮指令平行度以求機器對此機器碼的執行速度達到 3 倍，則此機器應能於一個機器時脈週期內同時派發多少道指令方足以保證達成？並詳細說明之。

五、在快取記憶體（cache memory）的設計中，其效能評估的數學式是

$AMAT(\text{average memory access time}) = HT(\text{hit time}) + MR(\text{miss rate}) \times MP(\text{miss penalty})$

下列六種優化技術中：

1. 選擇恰當快取區塊（cache block 或稱 line）大小；
2. 使用較大的快取；
3. 使用較高的關聯度（associativity）；
4. 使用多層的快取；
5. 給予讀取較寫入較高的優先度；
6. 避免在索引（indexing）時需要作位址轉換（address translation）

試問：

(一)何者有助於降低 hit time？（6 分）

(二)何者有助於降低 miss rate？（8 分）

(三)何者有助於降低 miss penalty？（6 分）